

⑫ 公開特許公報(A) 昭61-161041

⑤ Int. Cl.⁴

識別記号

庁内整理番号

④ 公開 昭和61年(1986)7月21日

H 04 H 5/00

N-7459-5K

審査請求 未請求 発明の数 1 (全3頁)

⑬ 発明の名称 FMステレオ復調回路

⑭ 特 願 昭60-1464

⑮ 出 願 昭60(1985)1月10日

⑯ 発 明 者 鈴木 雅 臣 国立市北1-5-5 くぬぎ荘202

⑰ 出 願 人 アキユフェーズ株式会 横浜市緑区新石川2-14-10
社

⑱ 代 理 人 弁理士 垣 内 勇

明 細 書

1. 発明の名称

FMステレオ復調回路

2. 特許請求の範囲

FM変調波が夫々入力されるデジタルPLL回路及びクロック発生回路と、上記デジタルPLL回路からの入力信号に対応して出力される並列デジタル信号を入力とし、上記クロック発生回路により交互に動作せしめられる2つのレジスタと、該2つのレジスタから出力されるデジタル信号を夫々DA変換するためのD/Aコンバーターとを備えていることを特徴とするFMステレオ復調回路。

3. 発明の詳細な説明

「発明の目的」

(産業上の利用分野)

本発明はFMステレオチューナーに用いて最適なFMステレオ復調回路に関する。

(従来技術)

周知の如く、FM受信器にはFMステレオ復調

波から振幅成分を取り出すためのFM復調回路やステレオ復調回路が不可欠であり、従来より種々の回路方式が提案されている。

従来のFMステレオ復調回路は第2図に例示する如く、位相比較器20に入力されたFM変調波が電圧制御発振器21から出力される発振周波数と比較され、両者の位相差に応じた差信号として低域通過フィルタ22に入力される。低域通過フィルタ22からは復調出力が得られるが、復調出力は増幅器23を経て上記電圧制御発振器21の発振周波数を制御し、閉ループ系が構成されている。

このようにして得られた復調出力は次段のスイッチング回路24に入力され、該スイッチング回路24は38KH_zフィルタ25によりFMステレオ変調波中から抽出分離された38KH_zパイロット信号に同期してスイッチング動作し、復調出力をステレオ信号(Rch, Lch)に分離するようになっている。

(発明が解決しようとする問題点)

ところが、上記した従来のものにおいてはアナログ型のPLL(フェーズロックドループ)回路

を使用すると共にアナログ回路段で復調するものであったため、特に中心周波数の設定を厳密にしなければならない等、調整が面倒であり、しかも、温度変化や電源電圧の変動に伴って特性が微妙に変化して音質劣化を招来する虞があった。また、電圧制御増幅器の利得周波数と入力電圧との直線性を維持することができないため非直線歪を生じ、更に、アナログ化した復調出力を後段でステレオ信号に分離するものであるため、S/N比が劣化し歪も増大するという欠点があった。

本発明は上記した点に鑑みてなされたものであり、その目的は、無調整で所要の特性を得ることができ、しかも温度変化や電源電圧の変動によって特性が劣化することなく、更に、ステレオ信号に分離する際のS/N比劣化や歪の増大を防止することができるようにしたFMステレオ復調回路を提供することにある。

「発明の構成」

(問題点を解決するための手段)

本発明に係るFMステレオ復調回路は、FM変

りメント回路4、入力信号を並列デジタル信号として出力するN分周器5、クロック発生器6から構成されている。7,8は夫々レジスタを示し、上記デジタルPLL回路1から出力される並列デジタル信号が入力されるようになっており、夫々のレジスタの後段には夫々D/Aコンバーター10,11が設けられている。9はクロック発生回路であって、上記FMステレオ変調波中のパイロット信号(38KHz)に同期したクロックを出力し、上記レジスタ7,8を交互に動作せしめるように構成されている。上記した構成においてその動作例を説明するに、

デジタルPLL回路1内のカウンタ3とインクリメントデクリメント回路4とはクロック発生器6からのクロックパルスにより周期的に動作しており、N分周器5から別途出力される位相信号SとFM変調波との位相が位相比較器2で比較され、次いで両者の差分がカウンタ3において上記条件でカウントされる。カウント信号Cはインクリメントデクリメント回路4で増減され、所定

周波数が夫々入力されるデジタルPLL回路及びクロック発生回路と、上記デジタルPLL回路から入力信号に対応して出力される並列デジタル信号を入力とし、上記クロック発生回路により交互に動作せしめられる2つレジスタと該2つのレジスタから出力されるデジタル信号を夫々DA変換するためのD/Aコンバーターとを備えている。

(作用)

デジタルPLL回路から出力される並列デジタル信号が2つのレジスタに夫々入力され、該2つのレジスタを交互に動作せしめることにより左右チャンネルのデジタル信号が得られる。これを後段のD/AコンバーターでDA変換することによりステレオ復調信号が得られる。

(実施例)

本発明に係るFMステレオ復調回路の実施例を第1図に基づいて説明する。

図中、1はFMステレオ変調波が入力されるデジタルPLL回路であって、実施例では、初段の位相比較器2、カウンタ3、インクリメントデク

リメント回路4、入力信号を並列デジタル信号として出力するN分周器5、クロック発生器6から構成されている。7,8は夫々レジスタを示し、上記デジタルPLL回路1から出力される並列デジタル信号が入力されるようになっており、夫々のレジスタの後段には夫々D/Aコンバーター10,11が設けられている。9はクロック発生回路であって、上記FMステレオ変調波中のパイロット信号(38KHz)に同期したクロックを出力し、上記レジスタ7,8を交互に動作せしめるように構成されている。上記した構成においてその動作例を説明するに、

デジタルPLL回路1内のカウンタ3とインクリメントデクリメント回路4とはクロック発生器6からのクロックパルスにより周期的に動作しており、N分周器5から別途出力される位相信号SとFM変調波との位相が位相比較器2で比較され、次いで両者の差分がカウンタ3において上記条件でカウントされる。カウント信号Cはインクリメントデクリメント回路4で増減され、所定

周波数が夫々入力されるデジタルPLL回路及びクロック発生回路と、上記デジタルPLL回路から入力信号に対応して出力される並列デジタル信号を入力とし、上記クロック発生回路により交互に動作せしめられる2つレジスタと該2つのレジスタから出力されるデジタル信号を夫々DA変換するためのD/Aコンバーターとを備えている。

(作用)

デジタルPLL回路から出力される並列デジタル信号が2つのレジスタに夫々入力され、該2つのレジスタを交互に動作せしめることにより左右チャンネルのデジタル信号が得られる。これを後段のD/AコンバーターでDA変換することによりステレオ復調信号が得られる。

(実施例)

本発明に係るFMステレオ復調回路の実施例を第1図に基づいて説明する。

図中、1はFMステレオ変調波が入力されるデジタルPLL回路であって、実施例では、初段の位相比較器2、カウンタ3、インクリメントデク

とは異なりS/N比が劣化したり歪が増大する虞はない。なお、上記実施例ではFM復調を例に説明したが、PM復調も同様になし得るのは勿論である。

「発明の効果」

本発明に係るFMステレオ復調回路によれば、アナログ回路を用いるものではないから、PLLの中心周波数調整等も無調整で正確に設定することができ生産性が良好となる。しかも、温度変化や電源電圧変動の影響も受けなため安定した性能を維持することができる。さらに、ステレオ復調はデジタル回路段でなされるためS/N比が劣化したり歪が増大することなく、分離度も良好となる等の優れた特長がある。

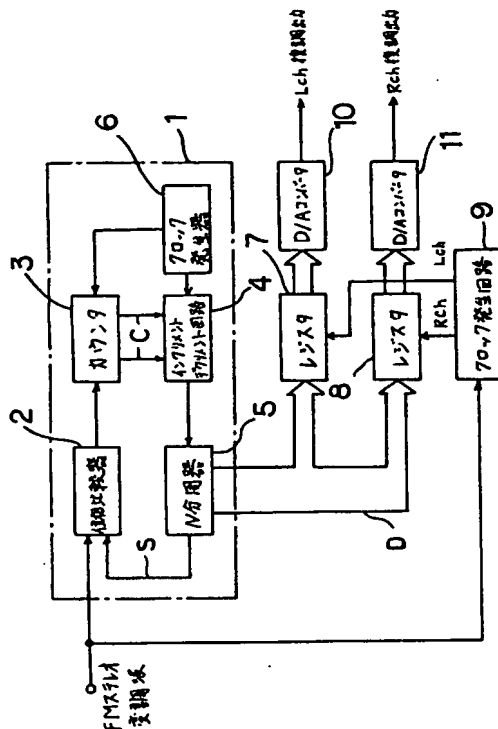
4. 図面の簡単な説明

第1図は本発明に係るFMステレオ復調回路の実施例を示すブロック図、第2図は従来のFMステレオ復調回路を示すブロック図である。

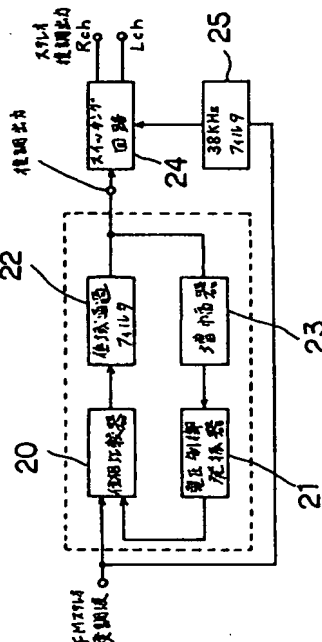
- 1: デジタルPLL回路、2: 位相比較器、
- 3: カウンタ
- 4: インクリメントデクリメント回路、
- 5: N分周器、6: クロック発生器
- 7,8: レジスタ、9: クロック発生回路
- 10,11: D/Aコンバータ

特許出願人 アキュフェーズ株式会社
代理人 弁理士 堀内 勇

第1図



第2図



CLIPPEDIMAGE= JP361161041A
PAT-NO: JP361161041A
DOCUMENT-IDENTIFIER: JP 61161041 A
TITLE: FM STEREO DEMODULATION CIRCUIT

PUBN-DATE: July 21, 1986

INVENTOR-INFORMATION:

NAME
SUZUKI, MASAOMI

ASSIGNEE-INFORMATION:

NAME
AKIYUFUEEZU KK

COUNTRY
N/A

APPL-NO: JP60001464
APPL-DATE: January 10, 1985

INT-CL (IPC): H04H005/00
US-CL-CURRENT: 381/3

ABSTRACT:

PURPOSE: To obtain prescribed characteristics without any adjustment by inputting respectively a parallel digital signal outputted from a digital PLL circuit to two registers and operating alternately the two registers to obtain left/right signals.

CONSTITUTION: An FM stereo modulation wave is inputted to a digital PLL circuit 1, a digital signal D corresponding to the frequency shift in the FM stereo modulation wave is transmitted from a 1/N frequency divider of the circuit 1 and a phase signal S is transmitted to a phase comparator 2. The signal D is stored in respectively registers 7, 8 and latched alternately in response to a clock pulse (38kHz) from a clock generating circuit 9, converted into an analog signal by D/A converters 10, 11 to form stereo demodulation signals Lch, Rch

separated to the left and right. Since the circuit requires no adjustment because no analog circuit is included and since the S/N is decided by bit resolution of the D/A converter, a high S/N is attained.

COPYRIGHT: (C)1986,JPO&Japio